

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-292444

(43)Date of publication of application : 11.11.1997

(51)Int.Cl.

G01R 31/28
G01R 31/26
H01L 21/66

(21)Application number : 08-108810

(71)Applicant : NEC CORP

(22)Date of filing : 30.04.1996

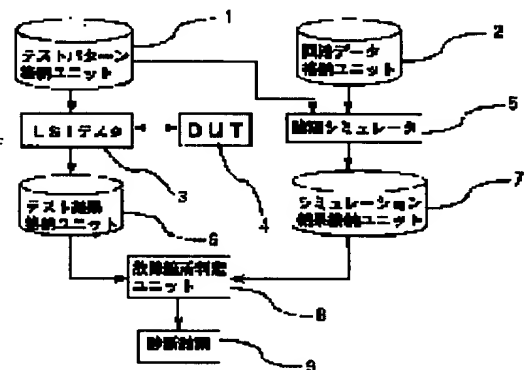
(72)Inventor : SAKAGUCHI KAZUHIRO

(54) APPARATUS AND METHOD FOR DIAGNOSIS OF FAILURE OF CMOS INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To estimate a failure part and a cause in an Iddq defect failure by a method, wherein a diagnostic result is output on the basis of a functional test result, an Iddq test result and a simulation result.

SOLUTION: An LSI tester 3 tests the function of a device under test DUT 4 on the basis of a test pattern from a test-pattern storage unit 1, it performs an Iddq test to test whether an abnormal power-supply current flows or not in every test pattern and sends a result to a test-result storage unit 6 to be stored. On the other hand, circuit information on the DUT 4 is stored in a circuit-data storage unit 2. A logical simulator 5 is connected to the units 1, 2 and executes the simulation of a circuit operation when a test pattern is applied to the DUT 4, and it sends a result to a result storage unit 7 to be stored. A failure-part judgment unit 8 is connected to the units 6, 7 and judges a failure part existing in the DUT 4 on the basis of data which is sent from the units, and it outputs a result to a diagnostic result part 9.



LEGAL STATUS

[Date of request for examination] 30.04.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3099732

[Date of registration] 18.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

AV-02437
ZSR

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-292444

(43) 公開日 平成9年(1997)11月11日

		識別記号		庁内整理番号	F I	技術表示箇所	
(51) Int.Cl. ⁶					G 0 1 R 31/28	F	
					31/26	G	
					H 0 1 L 21/66	Z	

審査請求 有 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平8-108810

(22) 出願日 平成8年(1996)4月30日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 坂口 和宏

東京都港区芝五丁目7番1号 日本電気株
式会社内

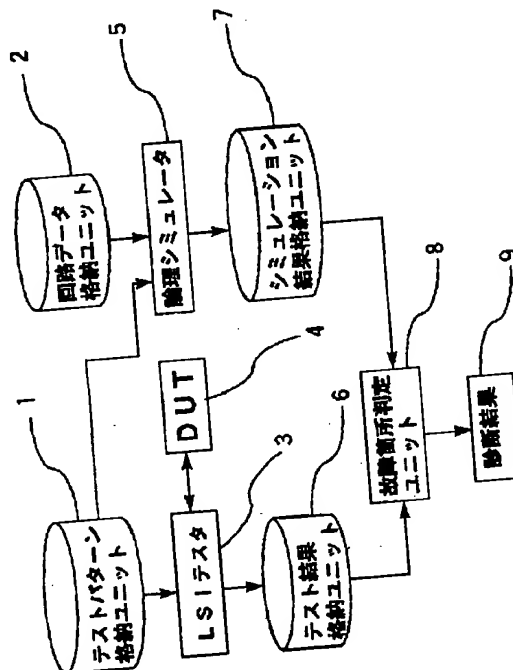
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 CMOS集積回路の故障診断装置および診断方法

(57) 【要約】

【課題】 Iddq不良が認められるCMOS集積回路の故障箇所を推定することが可能な故障診断装置を得る。

【解決手段】 CMOS集積回路の機能試験を行うためのテストパターンを格納するユニット1と、このテストパターンによりCMOS集積回路の機能試験及びIddq試験を行うLSIテスタ3と、この試験結果を格納するユニット6と、被試験対象の各種情報を記録した回路データを格納するユニット2と、前記テストパターンと前記回路データを受けて回路内部の動作を論理的にシミュレーションする論理シミュレータ5と、このシミュレーション結果を格納するユニット7と、前記試験結果とシミュレーション結果に基づいて診断結果を出力する故障箇所判定ユニット8とを備え、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から短絡故障、対電源線短絡故障、対グランド線短絡故障を推定する。



【特許請求の範囲】

【請求項 1】 機能試験では異常が検出されず、Iddq試験において、ある特定のテストパターンのみについてIddq異常となるCMOS集積回路に対して、機能試験結果、Iddq試験結果を利用して行うCMOS集積回路の故障診断装置において、CMOS集積回路の機能試験を行うための回路への入出力信号を記述したテストパターンを格納するテストパターン格納ユニットと、前記テストパターンを受けCMOS集積回路の機能試験及びIddq試験を行うLSIテストと、前記機能試験及びIddq試験結果を格納するテスト結果格納ユニットと、被試験回路の素子配置情報、素子機能情報、素子及び端子間の配線接続情報を記録した回路データを格納する回路データ格納ユニットと、前記テストパターンと前記回路データを受け、前記テストパターンが前記被試験デバイスに印加されたときの時々刻々の回路内部の動作を論理的にシミュレーションする論理シミュレータと、前記回路内部の動作のシミュレーション結果を格納するシミュレーション結果格納ユニットと、前記機能およびIddq試験結果ならびに前記シミュレーション結果に基づいて診断結果を出力する故障箇所判定ユニットとを備えることを特徴とするCMOS集積回路の故障診断装置。

【請求項 2】 故障箇所判定ユニットは、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に同じ信号値を示す信号線の組み合わせに短絡故障が生じているとして診断結果を出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 3】 故障箇所判定ユニットが、機能試験およびIddq試験結果と、シミュレーション結果とから、Iddq試験において異常が検出されたテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に異なる信号値を示す信号線の組み合わせに短絡故障が生じているとして診断結果を出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 4】 故障箇所判定ユニットは、機能試験およびIddq試験結果と、シミュレーション結果から、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から常に同じ信号値を示す信号線の組み合わせと、異常が検出されたテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に異なる信号値を示す信号線の組み合わせとに共通する信号線間に短絡故障が生じているとして診断結果を出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 5】 故障箇所判定ユニットは、機能試験およびIddq試験結果と、シミュレーション結果から、Iddq試験において異常が検出されないテストパターンまたは異常が検出されたテストパターンを印加した時点における

回路内部の信号値のシミュレーション結果から、同じ信号値を示す信号線の組み合わせが、同じ信号値を示す回数が多い程両者間に短絡故障が生じている可能性が高いとして診断結果を出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 6】 故障箇所判定ユニットは、機能試験およびIddq試験結果と、シミュレーション結果から、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、同じ信号値を示す信号線の組み合わせが、同じ信号値を示す回数が多い程両者間に短絡故障が生じている可能性が高いとし、またIddq試験において異常が検出されるテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、異なる信号値を示す信号線の組み合わせが、異なる信号値を示す回数が多い程両者間に短絡故障が生じている可能性が高いとし、両者の積により最終的に短絡故障の存在する可能性の高い信号線間の組み合わせを診断結果として出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 7】 故障箇所判定ユニットが、機能試験およびIddq試験結果と、シミュレーション結果から、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に一の値を示す信号線は対電源線短絡故障が疑われると判定し、常に他の値を示す信号線は対グラウンド線短絡故障が疑われると判定し診断結果として出力する構成とされる請求項 1 の CMOS 集積回路の故障診断装置。

【請求項 8】 被試験デバイスのチップ上の配線の位置情報と信号線情報を記述した配線レイアウト情報を格納する配線レイアウト情報格納ユニットと、故障箇所判定ユニットからの故障箇所の診断結果と前記配線レイアウト情報を得て、実際に故障が起きているチップ上の位置を指示する短絡箇所推定ユニットとを備える請求項 1 ないし 7 のいずれかの CMOS 集積回路の故障診断装置。

【請求項 9】 機能試験では異常が検出されず、Iddq試験において、ある特定のテストパターンのみについてIddq異常となるCMOS集積回路に対して、機能試験結果、Iddq試験結果を利用して行うCMOS集積回路の故障診断方法において、CMOS集積回路の機能試験を行うためのテストパターンによりCMOS集積回路の機能試験及びIddq試験を行うLSIテストのテスト結果と、前記CMOS集積回路内部の動作のシミュレーション結果と、前記テスト結果と、前記シミュレーション結果に基づいて信号線における短絡故障の判定を行うことを特徴とするCMOS集積回路の故障診断方法。

【請求項 10】 Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に同じ信号値を示す

信号線の組み合わせに短絡故障が生じていると判定する請求項9のCMOS集積回路の故障診断方法。

【請求項11】 Iddq試験において異常が検出されるテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に異なる信号値を示す信号線の組み合わせに短絡故障が生じていると判定する請求項9のCMOS集積回路の故障診断方法。

【請求項12】 Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に同じ信号値を示す信号線の組み合わせと、異常が検出されるテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に異なる信号値を示す信号線の組み合わせとに共通する信号線間に短絡故障が生じていると判定する請求項9のCMOS集積回路の故障診断方法。

【請求項13】 Iddq試験において異常が検出されないテストパターンまたは異常が検出されたテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、同じ信号値を示す信号線の組み合わせが、同じ信号値を示す回数が多い程両者の間に短絡故障が生じている可能性が高いと判定する請求項9のCMOS集積回路の故障診断方法。

【請求項14】 Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、同じ信号値を示す信号線の組み合わせが、同じ信号値を示す回数が多い程両者の間に短絡故障が生じている可能性が高いとし、Iddq試験において異常が検出されたテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、異なる信号値を示す信号線の組み合わせが、異なる信号値を示す回数が多い程両者の間に短絡故障が生じている可能性が高いとし、両者の積により最終的に故障の存在する可能性の高い信号線の組み合わせを判定する請求項9のCMOS集積回路の故障診断方法。

【請求項15】 Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から、常に一の値を示す信号線は対電源線短絡故障を疑い、または常に他の値を示す信号線は対グランド線短絡故障を疑い、これらの信号線は対電源線短絡故障の可能性があると判定する、または対グランド線短絡故障の可能性があると判定する請求項9のCMOS集積回路の故障診断方法。

【請求項16】 被試験デバイスのチップ上の配線の位置情報と信号線情報により、回路的な故障箇所と被試験デバイス上の実際の故障箇所を判定する請求項9のCMOS集積回路の故障診断方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCMOS集積回路の

故障診断装置に関し、特にIddq試験結果による電源電流異常情報から、集積回路の故障箇所を推定する集積回路の故障診断装置に関する。

【0002】

【従来の技術】従来、この種のCMOS集積回路の故障診断装置は、故障の発生したCMOS集積回路の故障原因を究明するために、故障箇所を特定する目的で用いられてきた。たとえば、特開平5-45423号公報には、電子ビームテストを用いる集積回路の故障解析において、集積回路の電位コントラスト像を高速にかつ劣化させずに得るための技術が記載されている。この技術はLSIテストを用いて集積回路を駆動しながら、その駆動タイミングに同期して電位コントラスト像を得るもので、その時、電位コントラスト像を得るテストパターンの印加状態を一時保持しながら電位コントラスト像を得ることを特徴としている。また、エミッション顕微鏡を使用する故障診断手法、液晶を利用する故障診断手法などがあるが、これらはいずれも開封する必要があり、また集積回路の高集積化により、その故障位置を特定することが困難になりつつある。

【0003】

【発明が解決しようとする課題】この従来の集積回路の故障診断装置では、集積回路の配線電位を電子ビームを利用して測定しているため、集積回路の微細化、多層化、高密度化により目的とする配線電位の測定が困難になり、故障箇所の特定が不可能になるという課題がある。また、デバイスの機能試験において、その入出力信号値には異常が検出されず、特定の入力条件においてのみ特異的に異常電源電流が流れるIddq故障に対しては、この従来の手法は正常なデバイスにおけるチップ上の配線の期待信号値と実際のデバイスでの配線の信号値とが異なるような配線を追跡していき故障箇所を特定する手法であるため、この従来手法は有効に機能しないという課題がある。Iddq不良故障が存在すると回路の状態によっては極めて大きな電流が流れるため、携帯電話などのように低消費電力を必要とする機器に用いられると期待される性能が得られない結果となる。

【0004】本発明の目的は、CMOS集積回路において特に機能試験では入出力信号値に異常が検出されないが、入出力パターンによって特異的に電源電流値に異常が発生するIddq不良故障において、その故障原因となった故障箇所と故障原因を推定することを可能にした診断装置と診断方法を提供することにある。

【0005】

【課題を解決するための手段】本発明の診断装置は、CMOS集積回路の機能試験を行うための回路への入出力信号を記述したテストパターンを格納するテストパターン格納ユニットと、前記テストパターンを受けCMOS集積回路の機能試験及びIddq試験を行うLSIテストと、前記機能試験及びIddq試験結果を格納するテスト結

果格納ユニットと、被試験回路の素子配置情報、素子機能情報、素子及び端子間の配線接続情報を記録した回路データを格納する回路データ格納ユニットと、前記テストパターンと前記回路データを受け、前記テストパターンが前記被試験デバイスに印加されたときの時々刻々の回路内部の動作を論理的にシミュレーションする論理シミュレータと、前記回路内部の動作のシミュレーション結果を格納するシミュレーション結果格納ユニットと、前記機能およびIddq試験結果ならびに前記シミュレーション結果に基づいて診断結果を出力する故障箇所判定ユニットとを備える。

【0006】また、本発明の診断方法は、機能試験では異常が検出されず、Iddq試験において、ある特定のテストパターンのみについてIddq異常となるCMOS集積回路に対して、機能試験結果、Iddq試験結果を利用して行うCMOS集積回路の故障診断方法において、CMOS集積回路の機能試験を行うためのテストパターンによりCMOS集積回路の機能試験及びIddq試験を行うLSIテストのテスト結果と、前記CMOS集積回路内部の動作のシミュレーション結果と、前記テスト結果と、前記シミュレーション結果に基づいて信号線における短絡故障の判定を行うことを特徴とする。

【0007】ここで、故障箇所判定ユニットにおける判定では、Iddq試験において異常が検出されないテストパターンを印加した時点における回路内部の信号値のシミュレーション結果や、Iddq試験において異常が検出されたテストパターンを印加した時点における回路内部の信号値のシミュレーション結果から短絡故障を判定する。この場合、常に同じ信号値を示す信号線の組み合わせ、常に異なる信号値を示す信号線の組み合わせ、これらに共通する信号線、同じ信号値を示す信号線の組み合わせが同じ信号値を示す回数、異なる信号値を示す信号線の組み合わせが異なる信号値を示す回数等に基づいて短絡故障を判定する。

【0008】すなわち、Iddq異常電流が流れるメカニズムを考える。今、信号値1と信号値0の配線が何らかの原因により抵抗Rで短絡しているとする。この場合、抵抗Rの抵抗値が十分大きければ、それぞれの信号線の信号値は閾値を越えることなく、依然として1、0を保つ。しかし、抵抗Rによる短絡電流はデバイス全体の電源電流に反映され、通常では検出されない異常に大きな電流となり、Iddq異常として検出される。この抵抗によるIddq異常は両者の信号線がその信号値が互いに異なる時のみに生じ、両者が同一信号値であればIddq異常は検出されない。すなわち、テストパターンiを印加した時点で、信号値1を示す信号線の集合をH(i)、信号値0を示す信号線の集合をL(i)としたとき、テストパターンiを印加した時点でIddq異常が存在しなければ、H(i)とL(i)間のどの信号線間にも短絡故障は存在しない。またIddq異常が存在すれば、H(i)と

L(i)間のある信号線同士の間で短絡故障が存在することとなる。なおこのとき、電源線の信号値を1、グラウンド線の信号値を0とし、それぞれを信号線と見なすことで、電源線、グラウンド線が関係する短絡故障も診断対象とすることが可能である。

【0009】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の実施形態を示す診断装置の構成を示すブロック図である。テストパターン格納ユニット1では被検査デバイスDUT4の機能を検査するための入出力の信号列であるテストパターンを保存している。LSIテスト3はテストパターン格納ユニット1に接続され、テストパターン格納ユニット1から送られたテストパターンに基づきLSIテスト3に接続されたDUT4を機能試験すると同時に、個々のテストパターン毎に異常な電源電流が流れないかを試験するIddq試験を行う。これら機能試験とIddq試験の結果はテスト結果格納ユニット6に送られ保存される。

【0010】一方、回路データ格納ユニット2には被検査デバイスDUT4の回路情報が格納されている。この回路情報は、存在する回路素子の情報、回路素子間並びにDUT4の入出力信号ピン間との接続情報、回路素子の機能動作を記述する情報から構成されている。論理シミュレータ5は回路データ格納ユニット2とテストパターン格納ユニット1に接続され、DUT4にテストパターンを印加したときの回路動作のシミュレーションを実行する。実行結果はシミュレーション結果格納ユニット7に送られ保存される。故障箇所判定ユニット8はテスト結果格納ユニット6とシミュレーション結果格納ユニット7に接続され、それぞれから送られたデータに基づきDUT4に存在している故障箇所を判定する。その結果は診断結果9に出力される。

【0011】次に、図1の動作について例を用いて説明する。図2はDUT4の一例を示す回路図である。JKフリップフロップ11、12、13とNORゲート14、15により回路が構成されている。回路データ格納ユニット2にはこの回路情報が格納されている。図3はこのDUTに対するテストパターンの例である。この場合、信号CL、RESETの欄のデータはDUTに与える信号値、信号Q0、Q1、Q2の欄の各データは回路の出力期待値である。信号値0、1はそれぞれLowレベル、Highレベルの信号を表し、*は0あるいは1であることを表す。このテストパターンを用いてLSIテスト3によりDUT4の機能試験を行う。

【0012】ここで、図2に示した回路において、信号線S2とS4間で短絡故障を起こしているとする。この時短絡抵抗の大きさは十分大きく、回路の論理的機能には影響を与えないが、信号線S2とS4の論理値が異なるとこの短絡抵抗を介して異常電源電流が流れIddq異常として観測される。この結果、LSIテスト3のテスト

結果は図4に示す通りになる。この例では全パターンを通して機能試験は合格、Iddq試験は第5、6、7、8、13、14、17、18パターンで異常を検出、それ以外のパターンではIddq異常は未検出である。このテスト結果はテスト結果格納ユニット6に送られ保持される。

【0013】論理シミュレータ5ではテストパターン格納ユニット1から送られたテストパターンデータと回路データ格納ユニット2から送られた回路データに基づきシミュレーションを実行し、各パターンの印加時の回路内部の各ネットの信号値を得る。図2に示す回路を使用し、テストパターンとして図3に示すテストパターンを使用した場合のシミュレーション結果を図5に示す。このシミュレーション結果はシミュレーション結果格納ユニット7に送られ保持される。

【0014】ついで、故障箇所判定ユニット8はテスト結果格納ユニット6からのテスト結果と、シミュレーション結果格納ユニット7からのシミュレーション結果を用い、DUT4の故障箇所を判定する。判定する手法を以下に述べる。まずテスト結果からIddq異常の検出されなかったテストパターンの集合を求め、これをGとする。図4に示した例でいえば、第1、2、3、4、9、10、11、12、15、16パターンであり、 $G = \{1, 2, 3, 4, 9, 10, 11, 12, 15, 16\}$ となる。

【0015】次に、このパターンが印加された時点の回路内部の各信号線の信号値をシミュレーション結果から得る。この回路の場合では図6に示した通りである。ここで、Iddq異常が検出されないパターン $p \in G$ を印加した時、1を示す信号線の集合を H_p 、0を示す信号線の集合を L_p とする。例えば第4パターンではIddq異常が検出されず、 $H_4 = \{S1, S2, S4, VDD\}$ 、 $L_4 = \{CL, RESET, Q0, Q1, Q2, S3, S5, GND\}$ である。但し、VDDは電源線を、GNDはグラウンド線を表わす。ここで、集合同士の演算Cを定義する。

$C(A, B) = \{q \mid q = \{a, b\} = \{b, a\}, a \in A, b \in B, a \neq b\}$

A, Bは集合

【0016】次に、 $C(H_p, L_p)$ を求める。この結果の要素 $\{i, j\}$ に着目すると、信号線iと信号線jの間には短絡故障が存在しないことが分かる。なぜならば、信号線iと信号線jはテストパターンpで異なる信号値を示しており、もし両者の間に短絡故障が存在すればIddq異常が検出されるはずである。しかるにIddq異常は検出されておらず、故に、信号線iと信号線jの間には短絡故障が存在しないことが分かる。

【0017】DUT4の全信号線の集合をSとすると、短絡故障の候補となる信号線の組み合わせの集合は、 $C(S, S)$ で表わされるが、Iddq異常が検出されないパターンpでの $C(H_p, L_p)$ が短絡故障の存在しない

信号線の組み合わせの集合を示すことから、 $C(S, S) - C(H_p, L_p)$ の要素に示される信号線の組み合わせに短絡故障の可能性が絞られる。すなわち、

$C(S, S) - [p \in G \cup] C(H_p, L_p)$

を求めることにより短絡故障の候補となる信号線の組み合わせが求められる。ここで、便宜的に $p \in G$ に関する和集合を $[p \in G \cup]$ と表記する。以下、同様であり、また、積集合についても同様である。

【0018】以上の操作を図4に示した例で示す。

$G = \{1, 2, 3, 4, 9, 10, 11, 12, 15, 16\}$

$S = \{CL, RESET, Q0, Q1, Q2, S1, S2, S3, S4, S5, VDD, GND\}$

$C(S, S) = \{\{CL, RESET\}, \{CL, Q0\}, \{CL, Q1\}, \dots, \{RESET, Q0\}, \dots, \{S4, S5\}\}$

$H_1 = \{S1, VDD\}$

$L_1 = \{RESET, GND\}$

$H_2 = \{RESET, S1, VDD\}$

$L_2 = \{GND\}$

$H_3 = \{S1, S2, S4, VDD\}$

$L_3 = \{RESET, Q0, Q1, Q2, S3, S5, GND\}$

$H_4 = \{S1, S2, S4, VDD\}$

$L_4 = \{CL, RESET, Q0, Q1, Q2, S3, S5, GND\}$

$H_9 = \{CL, Q0, Q1, S1, S3, S5, VDD\}$

$L_9 = \{RESET, Q2, S2, S4, GND\}$

$H_{10} = \{Q0, Q1, S1, S3, S5, VDD\}$

$L_{10} = \{CL, RESET, Q2, S2, S4, GND\}$

$H_{11} = \{CL, Q2, S1, S2, S4, VDD\}$

$L_{11} = \{RESET, Q0, Q1, S3, S5, GND\}$

$H_{12} = \{Q2, S1, S2, S4, VDD\}$

$L_{12} = \{CL, RESET, Q0, Q1, S3, S5, GND\}$

$H_{13} = \{CL, S1, S2, S4, VDD\}$

$L_{13} = \{RESET, Q0, Q1, Q2, S3, S5, GND\}$

$H_{16} = \{S1, S2, S4, VDD\}$

$L_{16} = \{CL, RESET, Q0, Q1, Q2, S3, S5, GND\}$

【0019】よって、

$C(H_1, L_1) = \{\{RESET, S2\}, \{RESET, VDD\}, \{GND, S1\}, \{GND, VDD\}\}$

$C(H_2, L_2) = \{\{GND, RESET\}, \{GND, VDD\}\}$

$C(H_i, L_i) = \{ \{ \text{RESET}, S1 \}, \{ Q0, S1 \}, \{ Q1, S1 \}, \dots, \{ \text{RESET}, S2 \}, \dots, \{ S4, S5 \} \}$

となり、以下同様にして結局、

$C(S, S) - [p \in G \cup] C(H_i, L_i) = \{ \{ Q0, Q1 \}, \{ Q0, S3 \}, \{ Q0, Q5 \}, \{ Q1, S3 \}, \{ Q1, S5 \}, \{ S2, S4 \}, \{ S3, S5 \} \}$

これより、短絡故障が存在する可能性のある箇所6箇所のうち7箇所まで故障候補が絞り込むことを可能とし、この中には実際の故障箇所である、 $\{ S2, S4 \}$ も含まれている。この故障候補集合は、診断結果9として出力される。

【0020】図8は、本発明の第2の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8aが設けられている。この故障箇所判定ユニット8aでは次のような方法で故障箇所を判定している。まず、テスト結果格納ユニットからIddq試験の結果、異常を示したテストパターンの集合を求め、これをFとする。図4に示した例でいえば、第5、6、7、8、13、14、17、18パターンであり、 $F = \{ 5, 6, 7, 8, 13, 14, 17, 18 \}$ となる。次に、このパターンが印加された時点の回路内部の各信号線の信号値をシミュレーション結果から得る。図2の回路の場合では図7に示した通りである。ここで、Iddq異常が検出されたパターン $p \in F$ を印加した時、1を示す信号線の集合を H_i 、0を示す信号線の集合を L_i とする。例えば第5パターンではIddq異常が検出され、 $H_i = \{ C1, Q0, S1, S3, S4, VDD \}$ 、 $L_i = \{ \text{RESET}, Q1, Q2, S2, S5, GND \}$ である。

【0021】次に、 $C(H_i, L_i)$ を求める。この結果の要素 $\{ i, j \}$ に着目すると、信号線iと信号線jの間には短絡故障が存在する可能性があり、また $C(H_i, L_i)$ に含まれない要素で示される信号線間には短絡故障が存在しない。なぜならば、信号線iと信号線jはテストパターンpで異なる信号値を示しており、さらにIddq異常が検出されているからである。また、 $C(H_i, L_i)$ に含まれない要素で示される信号線の組み合わせは、いずれの信号線とも同じ信号値であり、仮に両者の間に短絡故障が存在した場合、Iddq異常は検出されないからである。

【0022】以上のことから、

$[p \in F \cap] C(H_i, L_i)$

で示される信号線の組み合わせに短絡故障が存在する可能性がある。図2の回路の場合では、

$[p \in F \cap] C(H_i, L_i) = \{ \{ \text{RESET}, S1 \}, \{ Q0, Q1 \}, \{ Q1, S4 \}, \{ S1, S5 \}, \{ S2, S4 \}, \{ GND, S1 \}, \{ Q0, S2 \}, \{ \text{RESET}, VDD \}, \{ S5, VDD \} \}$

となり、これら10個の信号線の組み合わせで示される箇所に短絡故障がある可能性があり、確かに実際の故障箇所であるS2、S4間の短絡故障も含まれている。但し、上記組み合わせ中にはVDD、GND間の短絡故障が存在しているが、これは除外するものとする、故障候補は9つとなる。この結果は診断結果9として出力される。

【0023】図9は、本発明の第3の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8bが設けられている。この故障箇所判定ユニット8bは、故障箇所判定ユニット8と故障箇所判定ユニット8bの機能を合わせ持つ。すなわち図2の回路では、故障箇所判定ユニット8の判定では、 $\{ Q0, Q1 \}, \{ Q0, S3 \}, \{ Q0, S5 \}, \{ Q1, S3 \}, \{ Q1, S5 \}, \{ S2, S4 \}, \{ S3, S5 \}$ で示される箇所に故障がある可能性があると判定し、故障箇所判定ユニット8aでは、 $\{ \{ \text{RESET}, S1 \}, \{ Q0, Q1 \}, \{ Q1, S4 \}, \{ S1, S5 \}, \{ S2, S4 \}, \{ GND, S1 \}, \{ Q0, S2 \}, \{ \text{RESET}, VDD \}, \{ S5, VDD \} \}$ に示される箇所に故障がある可能性があると判定した。故障箇所判定ユニット8bでは両者の判定結果に共通する候補を抽出する。例題回路の場合では、 $\{ \{ Q0, Q1 \}, \{ S2, S4 \} \}$ の2つの候補が短絡故障の可能性のある信号線の組み合わせとして判定される。この結果は、診断結果9として出力される。

【0024】図10は、本発明の第4の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8cが設けられている。故障箇所判定ユニット8cでは故障箇所判定ユニット8の機能に確率の情報を付加している。すなわち、故障箇所判定ユニット8では、 $C(S, S) - [p \in G \cup] C(H_i, L_i)$ の結果に基づき故障箇所を推定したが、故障箇所判定ユニット8cではGの要素がn個あるとしてGからm個の要素を除去したものを G' としたとき、 $C(S, S) - [p \in G' \cup] C(H_i, L_i)$ で示される信号間に少なくとも $(n-m)/n$ の確率で故障が存在するものとするものである。この結果は診断結果9として出力される。

【0025】図11は、本発明の第5の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8dが設けられている。この故障箇所判定ユニット8dでは故障箇所判定ユニット8bの機能に確率の情報を付加している。すなわち、故障箇所判定ユニット8bでは $[p \in F \cap] C(H_i, L_i)$

の結果に基づき故障箇所を推定したが、故障箇所判定ユニット8dではFの要素がn個あるとしてGからm個の

要素を除去したものを F' としたとき、

$$\{p \in F' \cap\} C(H, L)$$

で示される信号線間に少なくとも $(n-m)/n$ の確率で故障が存在するものとするものである。この結果は診断結果9として出力される。

【0026】図12は、本発明の第6の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8eが設けられている。この故障箇所判定ユニット8eは、故障箇所判定ユニット8cと故障箇所判定ユニット8dの機能を含み、

$$C(S, S) - \{p \in G' \cup\} C(H, L)$$

で求められた故障の存在する確率と、

$$\{p \in F' \cap\} C(H, L)$$

で求められた故障の存在する確率から、ある信号線間に存在する故障の確率を両者の積で表すものである。この結果は診断結果9として出力される。

【0027】図13は、本発明の第7の実施形態を示す診断装置の構成を示すブロック図である。ここでは故障箇所判定ユニット8の代わりに故障箇所判定ユニット8fが設けられている。CMOS集積回路の短絡故障を考えると、信号線同士（電源線、グランド線は含まず）の短絡故障よりも、信号線の対電源線、対グランド線の短絡故障が圧倒的に多い。故障箇所判定ユニット8fは故障箇所判定ユニット8の機能のうち、対電源線、対グランド線短絡故障に特化し、より効率的に故障判定を行うものである。

【0028】対電源線、対グランド線短絡故障に特化することにより、信号線同士の故障判定を行う式は電源線が論理値1、グランド線が0を持つことを考慮して、対電源線故障の場合、

$$C(VDD, (S-VDD, GND) - \{p \in G \cup\} C(VDD, (L, -GND))$$

対グランド線故障の場合、

$$C(GND, (S-VDD, GND) - \{p \in G \cup\} C(GND, (H, -VDD))$$

となる。但し、電源線(VDD)、グランド線(GND)同士の短絡故障は無いものとしている。

【0029】これらの式の意味は、対電源線故障の場合、Iddq異常が検出されないパターン印加時の回路の各信号線の値のシミュレーション結果のうち、論理値0を示す信号線と電源線との短絡故障は存在し得ないことを意味し、最終的にIddq異常が検出されない全パターンについて各パターン印加時の回路内部の信号線のシミュレーション値が1度も0を示さない信号線が対電源線短絡故障の疑いがあると推定できる。同様に対グランド線故障の場合、1度も1を示さない信号線が対グランド線短絡故障が疑われる。

【0030】故障箇所判定ユニット8fは対電源線短絡故障、対グランド線短絡故障について、Iddq異常が検出

されないパターン印加時の回路内部の信号線のシミュレーション値に基づき、1度も0を示さない信号線が対電源線短絡故障が疑われる信号線とし、また1度も1を示さない信号線が対グランド線短絡故障が疑われる信号線と判定する機能を有する。

【0031】図14は本発明の第8の実施形態である。配線レイアウト情報格納ユニット10と短絡箇所推定ユニット11が新たに付け加えられている。配線レイアウト情報格納ユニット10には、DUT4の回路チップ上の各配線の配置情報と各信号線との対応情報が格納されている。短絡箇所推定ユニットは、診断結果9からの短絡故障の位置情報を得て、チップ上で実際に短絡故障が発生している場所を指示する。これは短絡故障が起きている各配線同士が交差している部分、または近接している部分を指示するものである。この結果は短絡位置推定結果11として出力される。

【0032】

【発明の効果】以上説明したように、本発明によるCMOS集積回路の故障診断装置は、CMOS集積回路の機能試験とIddq試験結果及び回路動作のシミュレーション結果を短絡故障が発生している場所の推定に利用し、Iddq異常が検出された時の回路内部の信号値のシミュレーション結果、及びIddq異常が検出されないときの回路内部の信号値のシミュレーション結果から得られる電源線、グランド線を含む各信号線における値分布に基づき故障の存在する位置を推定している。このため短絡故障が発生している場所を高速に推定することが可能である。また、信号線と集積回路チップ上の配線との対応関係や、チップ上の配線の位置情報を持つ配線レイアウト情報を利用することにより、故障が実際に起きているチップ上の位置を指摘することが可能である。

【図面の簡単な説明】

【図1】本発明の故障診断装置の第1の実施形態のブロック構成図である。

【図2】測定対象となる回路の一例を示す回路図である。

【図3】テストパターンの一例を示す図である。

【図4】機能試験結果およびIddq試験結果を示す図である。

【図5】シミュレーション結果を示す図である。

【図6】Iddq異常が検出されなかったパターン印加時の回路内部信号値を示す図である。

【図7】Iddq異常が検出されたパターン印加時の回路内部信号値を示す図である。

【図8】本発明の第2の実施形態のブロック構成図である。

【図9】本発明の第3の実施形態のブロック構成図である。

【図10】本発明の第4の実施形態のブロック構成図である。

【図11】本発明の第5の実施形態のブロック図である。

【図12】本発明の第6の実施形態のブロック図である。

【図13】本発明の第7の実施形態のブロック図である。

【図14】本発明の第8の実施形態のブロック図である。

【符号の説明】

- 1 テストパターン格納ユニット
2 回路データ格納ユニット

* 3 LSI テスタ

4 DUT

5 論理シミュレータ

6 テスト結果格納ユニット

7 シミュレーション結果格納ユニット

8 (8a~8f) 故障箇所判定ユニット

9 診断結果

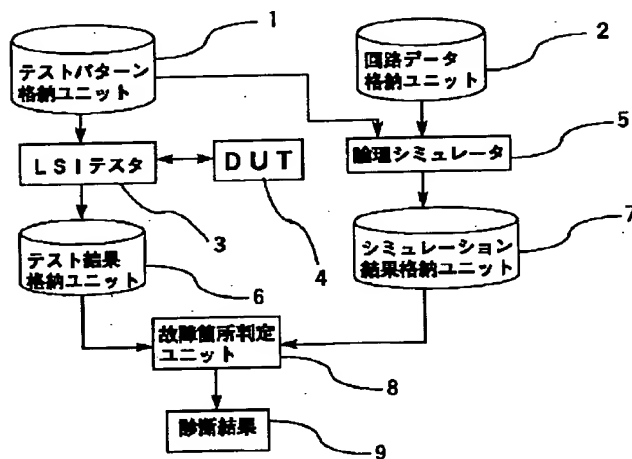
10 配線レイアウト情報格納ユニット

11 短絡箇所推定ユニット

10 12 短絡位置推定結果

*

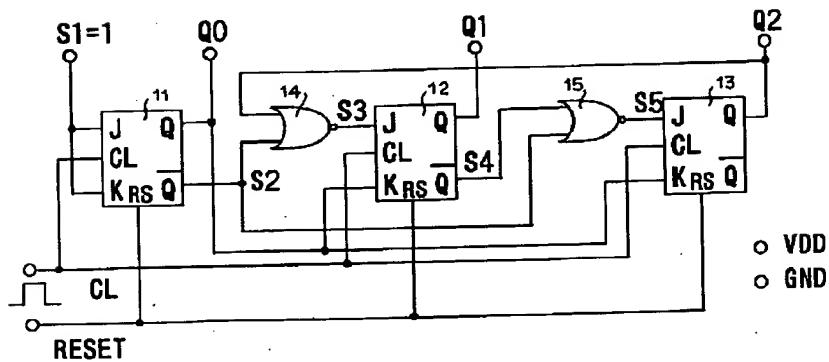
【図1】



【図3】

No.	CL	RESET	Q0	Q1	Q2
1	*	0	*	*	*
2	*	1	*	*	*
3	*	0	0	0	0
4	0	0	0	0	0
5	1	0	1	0	0
6	0	0	1	0	0
7	1	0	0	1	0
8	0	0	0	1	0
9	1	0	1	1	0
10	0	0	1	1	0
11	1	0	0	0	1
12	0	0	0	0	1
13	1	0	1	0	1
14	0	0	1	0	1
15	1	0	0	0	0
16	0	0	0	0	0
17	1	0	1	0	0
18	0	0	1	0	0

【図2】



【図4】

No.	CL	RESET	Q0	Q1	Q2	機能試験	IdDq試験
1	*	0	*	*	*	Pass	Pass
2	*	1	*	*	*	Pass	Pass
3	*	0	0	0	0	Pass	Pass
4	0	0	0	0	0	Pass	Pass
5	1	0	1	0	0	Pass	Fail
6	0	0	1	0	0	Pass	Fail
7	1	0	0	1	0	Pass	Fail
8	0	0	0	1	0	Pass	Fail
9	1	0	1	1	0	Pass	Pass
10	0	0	1	1	0	Pass	Pass
11	1	0	0	0	1	Pass	Pass
12	0	0	0	0	1	Pass	Pass
13	1	0	1	0	1	Pass	Fail
14	0	0	1	0	1	Pass	Fail
15	1	0	0	0	0	Pass	Pass
16	0	0	0	0	0	Pass	Pass
17	1	0	1	0	0	Pass	Fail
18	0	0	1	0	0	Pass	Fail

【図5】

No.	CL	RESET	Q0	Q1	Q2	S1	S2	S3	S4	S5
1	*	0	*	*	*	1	*	*	*	*
2	*	1	*	*	*	1	*	*	*	*
3	*	0	0	0	0	1	1	0	1	0
4	0	0	0	0	0	1	1	0	1	0
5	1	0	1	0	0	1	0	1	1	0
6	0	0	1	0	0	1	0	1	1	0
7	1	0	0	1	0	1	1	0	0	0
8	0	0	0	1	0	1	1	0	0	0
9	1	0	1	1	0	1	0	1	0	1
10	0	0	1	1	0	1	0	1	0	1
11	1	0	0	0	1	1	1	0	1	0
12	0	0	0	0	1	1	1	0	1	0
13	1	0	1	0	1	1	0	0	1	0
14	0	0	1	0	1	1	0	0	1	0
15	1	0	0	0	0	1	1	0	1	0
16	0	0	0	0	0	1	1	0	1	0
17	1	0	1	0	0	1	0	1	1	0
18	0	0	1	0	0	1	0	1	1	0

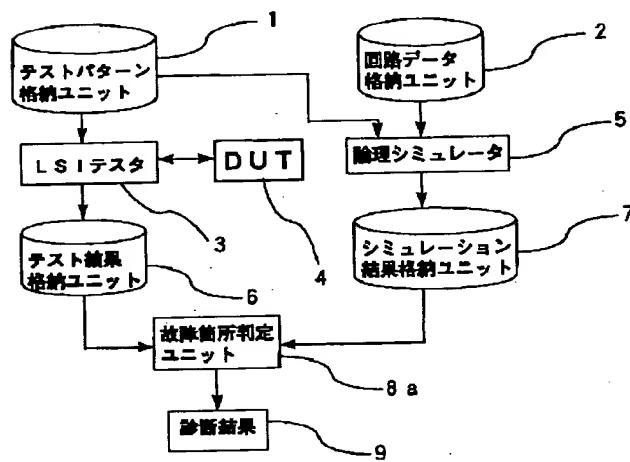
【図6】

No.	CL	RESET	Q0	Q1	Q2	S1	S2	S3	S4	S5
1	*	0	*	*	*	1	*	*	*	*
2	*	1	*	*	*	1	*	*	*	*
3	*	0	0	0	0	1	1	0	1	0
4	0	0	0	0	0	1	1	0	1	0
9	1	0	1	1	0	1	0	1	0	1
10	0	0	1	1	0	1	0	1	0	1
11	1	0	0	0	1	1	1	0	1	0
12	0	0	0	0	1	1	1	0	1	0
15	1	0	0	0	0	1	1	0	1	0
16	0	0	0	0	0	1	1	0	1	0

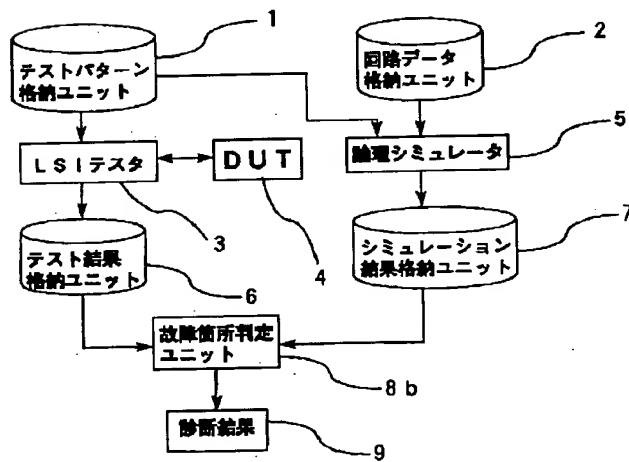
【図7】

No.	CL	RESET	Q0	Q1	Q2	S1	S2	S3	S4	S5
5	1	0	1	0	0	1	0	1	1	0
6	0	0	1	0	0	1	0	1	1	0
7	1	0	0	1	0	1	1	0	0	0
8	0	0	0	1	0	1	1	0	0	0
13	1	0	1	0	1	1	0	0	1	0
14	0	0	1	0	1	1	0	0	1	0
17	1	0	1	0	0	1	0	1	1	0
18	0	0	1	0	0	1	0	1	1	0

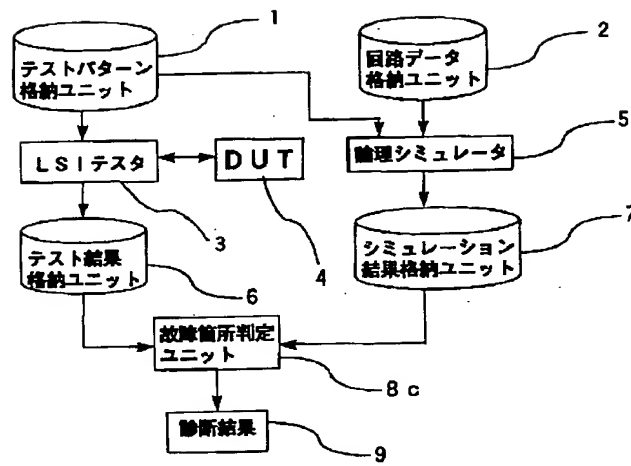
【図8】



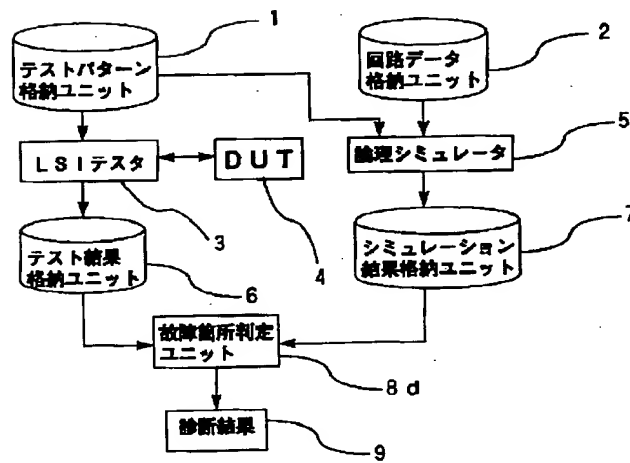
【図9】



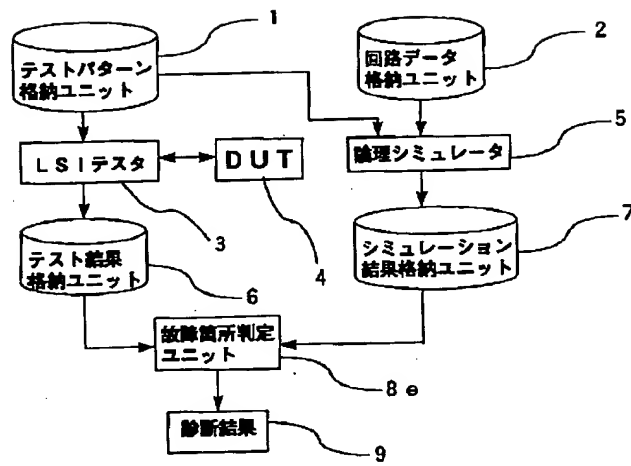
【図10】



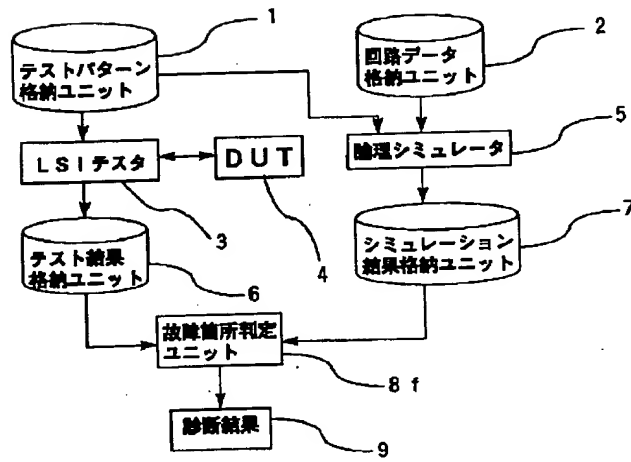
【図11】



【図 12】



【図 13】



【図14】

